

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-315643

(43)Date of publication of application : 26.11.1993

(51)Int.Cl. H01L 33/00
G09F 9/33
// H01L 21/20

(21)Application number : 04-115947

(71)Applicant : NKK CORP
NAGOYA KOGYO UNIV

(22)Date of filing : 08.05.1992

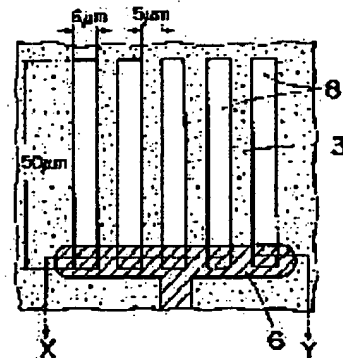
(72)Inventor : OMURA MASAKI
SUZUKI TAKESHI
UMENO MASAYOSHI

(54) LIGHT-EMITTING DIODE ARRAY AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a light-emitting diode array which can reduce lattice distortion and thermal stress of a III-V group chemical compound semiconductor formed on a silicon semiconductor substrate, and can extend remarkably the light emitting duration of life, and to provide the manufacture of the light-emitting diode array.

CONSTITUTION: III-V group chemical compound semiconductors composed of GaAsP are laminated by optional epitaxial growth method on a silicon semiconductor substrate of a region surrounded by an insulating film 3 bonded on the silicon semiconductor substrate. As a result, PN junction is formed, and a conductive film 6 serving as an electrode is bonded on the main surface of the III-V group chemical compound semiconductors. The light-emitting area of a single unit light-emitting diode 8 with rectangular shape consisting of PN junction is set to less than $400\mu\text{m}^2$. One side in longer direction of a light-emitting section with rectangular shape is set to less than $50\mu\text{m}^2$ thereby light-emitting life can be extended remarkably. At the same time, it is possible to form a relatively large light-emitting diode by integrating single unit light-emitting diode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 33/00	A	8934-4M		
G 0 9 F 9/33	A	6447-5G		
// H 0 1 L 21/20		9171-4M		

審査請求 未請求 請求項の数 9(全 6 頁)

(21)出願番号 特願平4-115947

(22)出願日 平成4年(1992)5月8日

(71)出願人 000004123

日本鋼管株式会社
東京都千代田区丸の内一丁目1番2号

(71)出願人 591017478

名古屋工業大学長
愛知県名古屋市昭和区御器所町(番地なし)

(72)発明者 大村 雅紀

東京都千代田区丸の内1-1-2 日本鋼管株式会社内

(74)代理人 弁理士 瀧野 秀雄 (外1名)

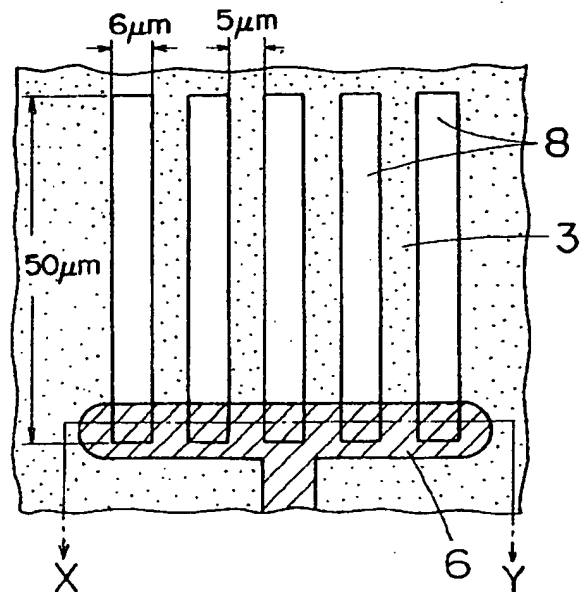
最終頁に続く

(54)【発明の名称】 発光ダイオードアレー及びその製造方法

(57)【要約】

【目的】 シリコン半導体基板に形成されたIII-V族化合物半導体の格子歪や熱応力を低減することができると共に、発光寿命を飛躍的に延ばすことができる発光ダイオードアレー及びその製造方法を提供するものである。

【構成】 シリコン半導体基板に被着された絶縁膜3によって囲まれた領域のシリコン半導体基板面に、選択エピタキシャル成長法によってGaAsP等のIII-V族化合物半導体が積層されてPN接合が形成され、該III-V族化合物半導体の主表面に電極となる導電体膜6が被着され、該PN接合からなる方形状の単位発光ダイオード8の発光面積が400 μm^2 以下に設定され、方形状の発光部の長手方向の一辺が50 μm 以下に設定されることによって、発光寿命を飛躍的に延ばすことができると共に、単位発光ダイオードを集積して比較的大きな発光ダイオードを形成し得るものである。



【特許請求の範囲】

【請求項1】 シリコン半導体基板に単位発光ダイオードが配列されてなる発光ダイオードアレーに於いて、該シリコン半導体基板に被着された絶縁膜と、該絶縁膜が部分的に除去されて該シリコン半導体基板主表面が露呈した領域に積層されてPN接合を形成するIII-V族化合物半導体層と、該化合物半導体層に被着された導電体膜とからなり、該PN接合によって形成された単位発光ダイオードの発光部の面積が $400\mu\text{m}^2$ 以下であることを特徴とする発光ダイオードアレー。

【請求項2】 前記単位発光ダイオードのそれぞれが、該導電体膜によって接続されて一個の発光ダイオードを形成していることを特徴とする特許請求の範囲第1項記載の発光ダイオードアレー。

【請求項3】 前記単位発光ダイオードの平面形状が矩形であって、その長手方向の一辺の長さが、 $50\mu\text{m}$ 以下であることを特徴とする特許請求の範囲第1項又は第2項記載の発光ダイオードアレー。

【請求項4】 シリコン半導体基板に単位発光ダイオードが配列されてなる発光ダイオードアレーに於いて、該シリコン半導体基板に被着された絶縁膜によって互いに分離され、該シリコン半導体基板主表面から積層されてPN接合を形成するIII-V族化合物半導体層と、該PN接合を形成する化合物半導体層の主表面に被着されて互いに接続された導電体膜とからなることを特徴とする発光ダイオードアレー。

【請求項5】 前記PN接合からなる単位発光ダイオードの発光部の面積が、 $400\mu\text{m}^2$ 以下であることを特徴とする特許請求の範囲第4項記載の発光ダイオードアレー。

【請求項6】 前記PN接合からなる単位発光ダイオードの平面形状が矩形であって、その長手方向の一辺の長さが、 $50\mu\text{m}$ 以下であることを特徴とする特許請求の範囲第4項又は第5項記載の発光ダイオードアレー。

【請求項7】 シリコン半導体基板に単位発光ダイオードが配列されてなる発光ダイオードアレーの製造方法に於いて、該シリコン半導体基板に絶縁膜を形成する第1の工程と、該単位発光ダイオードを形成すべく該絶縁膜を部分的にエッチングして該シリコン半導体基板の主表面を露呈する第2の工程と、第2の工程によって該シリコン半導体基板の主表面が露呈した部分にIII-V族化合物半導体層をエピタキシャル成長させてPN接合を形成する第3の工程と、該絶縁膜によって互いに絶縁された該化合物半導体層の主表面に第1の導電体膜を形成する第4の工程と、該シリコン半導体基板の裏面に第2の導電体膜を形成する第5の工程とからなることを特徴とする発光ダイオードアレーの製造方法。

【請求項8】 前記PN接合からなる単位発光ダイオードの発光部の面積が、 $400\mu\text{m}^2$ 以下に設定されていることを特徴とする特許請求の範囲第7項記載の発光ダ

イオードアレーの製造方法。

【請求項9】 前記PN接合からなる単位発光ダイオードの平面形状が矩形であって、その長手方向の一辺の長さが、 $50\mu\text{m}$ 以下に設定されていることを特徴とする特許請求の範囲第7項又は第8項記載の発光ダイオードアレーの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、シリコン半導体基板にIII-V族化合物半導体層が選択的に形成された発光ダイオードアレーとその製造方法に関するものである。

【0002】

【従来の技術】 III-V族化合物半導体をシリコン半導体基板（以下、Si基板と称する。）に気相成長させて発光ダイオードを集積する技術は、特開平1-214176号公報、特開平1-259580号公報、及び特開平2-150081号公報等によって開示されている。これらの先行技術には、シリコン半導体基板全面にIII-V族化合物半導体を有機金属熱分解気相成長法（MOCVD法）等によって成長させ、その後、選択的に不純物元素を拡散させてPN接合を形成し、発光ダイオードアレーを形成している。又、特開平2-150081号公報には、シリコン半導体基板に形成された二酸化シリコン膜（ SiO_2 ）及び窒化膜（ Si_3N_4 ）をマスクとして選択的にGaAs、AlGaAs等のIII-V族化合物半導体をエピタキシャル成長させる技術が開示されている。

【0003】 上記の選択エピタキシャル成長法は、シリコン半導体基板に二酸化シリコン膜を全面に形成し、単位発光ダイオードを形成する部分のみ二酸化シリコン膜を除去してシリコン半導体基板主表面を露呈させ、その領域に選択的にIII-V族化合物半導体層をエピタキシャル成長させる方法である。即ち、III-V族化合物半導体層が形成されるべき領域をパターンニングしたフォトマスクを用いてシリコン半導体基板に形成された二酸化シリコン膜にパターンを写真転写し、レジスト膜で覆われた二酸化シリコン膜を除き、二酸化シリコン膜をエッチングで除去してシリコン半導体基板主表面を露呈させ、レジスト膜を除去する。その後、シリコン半導体基板主表面が露呈した領域にIII-V族化合物半導体をMOCVD法等によってエピタキシャル成長させるものである。因に、二酸化シリコン膜の形成手段は、水蒸気或いは酸素雰囲気中にシリコン基板を投入して熱処理して、シリコン半導体基板主表面を酸化させて形成するのが一般的である。

【0004】

【発明が解決しようとする課題】 不純物元素を拡散してIII-V族化合物半導体にPN接合を形成した発光ダイオードアレーは、機械的強度が脆弱であると共に、熱伝導率が悪く、発光出力を上げることができない欠点があ

る。しかし、シリコン半導体基板にエピタキシャル成長法によってIII-V族化合物半導体を形成する方法によれば、これらの欠点は解消される。更に、上述の選択エピタキシャル成長法は、シリコン半導体基板全面にIII-V族化合物半導体層を成長させる場合に比べて成長部分の面積を小さく限定することができる為、成長層に加わる応力を低減することができると共に、歪みを緩和することができる。この選択エピタキシャル成長法は、格子不整合からなる格子歪、成長温度から室温に冷却する過程で熱歪が大きい発生する異種材料間のエピタキシャル成長、即ち、シリコン半導体基板にIII-V族化合物半導体をエピタキシャル成長させる場合に極めて有効である。

【0005】しかしながら、選択エピタキシャル成長法によるシリコン格子歪、熱歪応力を低減する効果は、II-V族化合物半導体によってPN接合が形成された発光面積に依存しており、面積が大き過ぎるとシリコン格子歪や熱歪応力を低減する効果が得られない欠点があると共に、発光面積が大きなものでは、発光寿命が短いという欠点があり、従来の発光ダイオードアレーには、改善の余地があった。本発明は、上述に鑑みてなされたものであって、シリコン半導体基板に形成されたIII-V族化合物半導体の格子歪、熱歪応力を低減することができると共に、発光寿命を飛躍的に延ばすことができる発光ダイオードアレー及びその製造方法を提供するものである。更に、本発明は、単位発光ダイオードを複数個形成して一個の比較的大きな発光ダイオードを形成し得る発光ダイオードアレー及びその製造方法を提供するものである。

【0006】

【課題を解決するための手段】本発明の発光ダイオードアレーは、シリコン半導体基板に単位発光ダイオードが配列されており、該シリコン半導体基板に被着された絶縁膜と、該絶縁膜が部分的に除去され、該シリコン半導体基板主表面が露呈した領域に積層されてPN接合を形成するIII-V族化合物半導体層と、該化合物半導体層に被着された導電体膜とからなり、該PN接合からなる該単位発光ダイオードの発光部の面積が $400\mu\text{m}^2$ 以下であるものである。

【0007】本発明の発光ダイオードアレーは、シリコン半導体基板に単位発光ダイオードが配列されたもので、該シリコン半導体基板に被着された絶縁膜によって互いに分離され、該シリコン半導体基板主表面から積層されてPN接合を形成するIII-V族化合物半導体層と、それぞれの該化合物半導体層の主表面に被着されて互いに接続された導電体膜とからなり、該PN接合からなる単位発光ダイオードの発光部の面積が $400\mu\text{m}^2$ 以下であるものである。

【0008】本発明の発光ダイオードアレーの製造方法は、該シリコン半導体基板に絶縁膜を形成する第1の工

程と、該単位発光ダイオードを形成すべく該絶縁膜を部分的にエッチングして該シリコン半導体基板の主表面を露呈する第2の工程と、該第2の工程によって該シリコン半導体基板の主表面が露呈した領域にIII-V族化合物半導体層をエピタキシャル成長させてPN接合を形成する第3の工程と、該絶縁膜によって囲まれた該化合物半導体層の主表面に第1の導電体膜を形成する第4の工程と、該シリコン半導体基板の裏面に第2の導電体膜を形成する第5の工程とからなるものである。又、PN接合からなる単位発光ダイオードのそれぞれは、導電体膜によって接続され、前記単位発光ダイオードの発光部の面積が $400\mu\text{m}^2$ 以下に設定され、単位発光ダイオードの長手方向の一辺の長さが、 $50\mu\text{m}$ 以下に設定されているものである。

【0009】

【作用】本発明の発光ダイオードアレー及びその製造方法は、その発光部をシリコン半導体基板に選択的にエピタキシャル成長させた化合物半導体層を格子歪、熱歪応力が低減できる面積に設定すると共に、単位発光ダイオードの面積とその長手方向の一辺の長さを所定の値以下とすることによって発光寿命を飛躍的に延ばすことができるものである。

【0010】

【実施例】本発明に係る発光ダイオードアレー及びその製造方法について、図1乃至図7に基づいて説明する。尚、図1乃至図3は、本発明の発光ダイオードアレーの概要を示す平面図であり、図4は、図1のX-Y線に沿った断面図である。図1に於いて、3は二酸化シリコン膜等からなる絶縁膜、6は導電体膜、8は一発光ダイオードを形成する単位発光ダイオードである。単位発光ダイオード8は、その平面形状が矩形であって、その長手方向の一辺（以下、長辺と称する。）が $50\mu\text{m}$ であり、他辺が $6\mu\text{m}$ に形成され、単位発光ダイオード8の一端に導電体膜6が被着されている。単位発光ダイオード8間の距離は、 $5\mu\text{m}$ に設定され、各単位発光ダイオード8の周囲は、絶縁膜3で覆われている。尚、導電体膜6は、単位発光ダイオード8間を覆う絶縁膜3に被着されて単位発光ダイオードに接触するように形成してもよい（図示なし）。又、単位発光ダイオード8が集積されたブロックを一単位として複数個のブロックをシリコン半導体基板に形成することができる。

【0011】次に、図4に基づいて、本発明の発光ダイオードアレーの製造方法について説明する。N型（P型）のシリコン半導体基板1を酸素雰囲気中に投入して熱処理を行って、シリコン半導体基板1の主表面に二酸化シリコン膜2を形成する。その後、窒化膜や多結晶シリコン層等の絶縁膜3を形成する。続いて、単位発光ダイオード8を形成する領域をパターンニングしたフォトマスクを用いてその二酸化シリコン膜等の絶縁膜3にパターンを写真転写する。レジスト膜で覆われた絶縁膜を除

き、露呈した絶縁膜をエッチングで除去し、更に、エッチングによってシリコン半導体基板主表面が露呈した開口部2₁を形成する。この開口部2₁にN型(P型)のIII-V族化合物半導体(GaAsP等)4をMOCVD或いはMBE(分子線エピタキシ)等によるエピタキシャル成長法によって堆積する。続いて、P型(N型)のIII-V族化合物半導体5を同様に堆積してPN接合を形成する。その後、III-V族化合物半導体5の主表面にアルミニウム等の導電体膜6が被着され、且つ、シリコン半導体基板1の裏面に導電体膜7が被着されて電極が形成される。無論、酸化シリコン膜2を比較的厚く形成した場合は、窒化膜や多結晶シリコン層等の絶縁膜3を形成する必要はない。

【0012】図2は、単位発光ダイオード8₁がマトリックス状に配列された実施例を示している。絶縁膜3₁に開口部が形成され、その開口部にIII-V族化合物半導体をエピタキシャル成長させて、PN接合を形成する。各列毎の単位発光ダイオード8₁の主表面に導電体膜6₁が被着されて電極が形成されている。その発光部は、略正方形を呈しており、一辺の長さが6 μm となっている。各列間の間隔は、5 μm である。図3の実施例では、単位発光ダイオード8₂が絶縁膜3₂に形成された開口部にIII-V族化合物半導体をエピタキシャル成長させて、PN接合を形成している。その導電体膜6₂は、それぞれ単位発光ダイオード8₂の片隅に接着されて絶縁膜3₂に延在して電極を形成している。その発光部は、略正方形を呈し、一辺の長さが20 μm であり、発光面積は、約400 μm^2 に設定されている。

【0013】次に、本発明の発光ダイオードアレーの発光面積及び発光寿命或いは発光部の長辺の長さとの発光寿命の関係を示す。図5、図6に基づいて説明する。図5は、選択エピタキシャル成長によって形成された単位発光ダイオードの発光面積と発光寿命との関係が示されており、図5の横軸が単位発光ダイオードの発光面積を示し、縦軸が発光寿命を示している。斯る単位発光ダイオードの発光面積は、正方形であって、200A/cm²の電流密度で通電し、初期の発光強度から10パーセント減衰した時点をもって発光寿命であると定義している。図5から明らかなように、シリコン半導体基板全面にIII-V族化合物半導体をエピタキシャル成長させたものは、その発光寿命が100時間であり、実用には耐え得ないものである。発光面積を次第に小さくして行くにつれて、発光ダイオードの発光寿命は、延びて行く。実用に耐え得る発光寿命は、1000時間であるので、単位発光ダイオードの発光面積Sは、図5から400 μm^2 以下であればよいことが理解され得る。

【0014】図6は、単位発光ダイオードの長辺の長さとの発光寿命との関係を図示したものである。サンプル1乃至3の発光面積Sは、サンプルaが100 μm^2 、サンプルbが300 μm^2 、サンプルcが400 μm^2 に

それぞれ設定されている。各サンプルの発光面積Sを一定として、発光部が矩形であって、その長辺の長さXを変化させたときの発光寿命が示されている。図5の結果からも明らかなように、発光面積の小さいサンプルaは、実用として十分な発光寿命を有している。サンプルb、cにあつては、長辺が40~50 μm を越えたところで急激に発光寿命が低下している。従つて、実用上は、長辺を50 μm 以下に設定する必要がある。又、同一面積の場合、その形状が正方形($X=\sqrt{S}$)に近い程、発光寿命は長くなっている。即ち、単位発光ダイオードの一辺が短いとしても、長辺が所定の長さより長い場合、その長辺にかかる格子不整合による格子歪等が大きくなり、結晶の歪みを緩和することができなくなり、発光寿命は低下することが理解され得る。従つて、長辺の最長は、50 μm 以下に設定する必要がある。因に、図1、図3の発光ダイオードアレーの発光寿命は、1000時間を越えており、図2の発光ダイオードアレーに至つては、発光時間が、1500時間を越えたとしても、発光強度の劣化は、8.3パーセント程度であつた。

【0015】本発明の発光ダイオードアレーでは、単位発光ダイオードが集積されて一個のブロックの発光ダイオードが形成される。更に、一個の発光ダイオードとして認識される得るこのブロックがシリコン半導体基板に複数個配列され、より大きな配列の複数の発光ダイオードが形成される。一方、イメージセンサー等によって単位発光ダイオードのそれぞれが一個の発光ダイオードとして認識されないようにする必要がある。図7に基づいて説明すると、図の横軸が単位発光ダイオードのピッチを示し、縦軸が光強度を示している。単位発光ダイオード10₁、10₂…は、ピッチPでシリコン半導体基板に配列されている。その単位発光ダイオードの発光強度は、図に示すようにガウス分布しており、基板面から発光強度が最大となるまでの距離をL_pとし、距離L_pの1/4の距離の幅をDとすると、ピッチPと幅Dとの関係が、D>Pとなるように設定することによって、光合成パターン11が得られる。即ち、シリコン半導体基板に複数の単位発光ダイオードが配列されたブロックをイメージセンサー等によって光検出を行ったとしても、一個の発光ダイオードとして認識され得ることになる。

【0016】

【発明の効果】上述のように、本発明の発光ダイオードアレー及びその製造方法によれば、半導体基板にシリコン半導体基板を用いてIII-V族化合物半導体をエピタキシャル成長させて発光ダイオードアレーを形成することによって、化合物半導体にありがちな機械強度の脆弱さ、熱伝導率が悪く発光出力が上げられないというような欠点が改善されると共に、発光寿命を飛躍的に延ばすことができる極めて効果的なものである。更に、本発明の発光ダイオードアレーは、その一つの発光ダイオード

が分割された単位発光ダイオードを集積することによって形成されており、長寿命であって、しかも極めて大きな面積の発光ダイオードを形成することができる極めて効果的なものである。

【図面の簡単な説明】

【図1】本発明に係る発光ダイオードアレーの一実施例を示す平面図である。

【図2】本発明に係る発光ダイオードアレーの他の実施例を示す平面図である。

【図3】本発明に係る発光ダイオードアレーの他の実施例を示す平面図である。

【図4】本発明に係る発光ダイオードアレー及びその製造方法を説明する為の図1のX-Y線に沿った断面図である。

【図5】本発明に係る発光ダイオードアレーの発光面積

と発光寿命との関係を説明する為の図である。

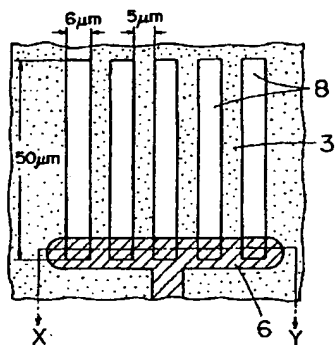
【図6】本発明に係る発光ダイオードアレーの発光面積の長辺と発光寿命との関係を説明する為の図である。

【図7】本発明に係る発光ダイオードアレーの光強度とピッチとの関係を説明する為の図である。

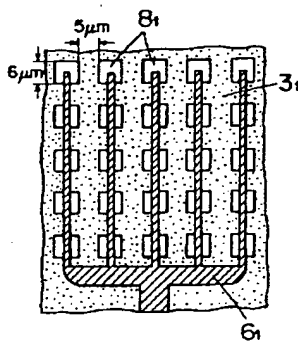
【符号の説明】

- 1 シリコン半導体基板
- 2 二酸化シリコン膜
- 3, 3₁, 3₂ 絶縁膜
- 4 N⁺層からなるIII-V族化合物半導体層
- 5 P⁺層からなるIII-V族化合物半導体層
- 6, 7 導電体膜
- 8, 8₁, 8₂ 単位発光ダイオード

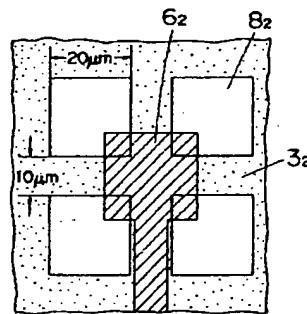
【図1】



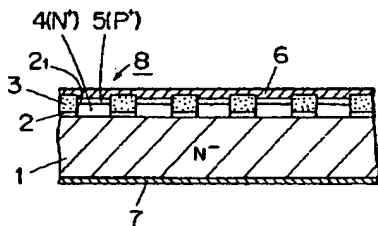
【図2】



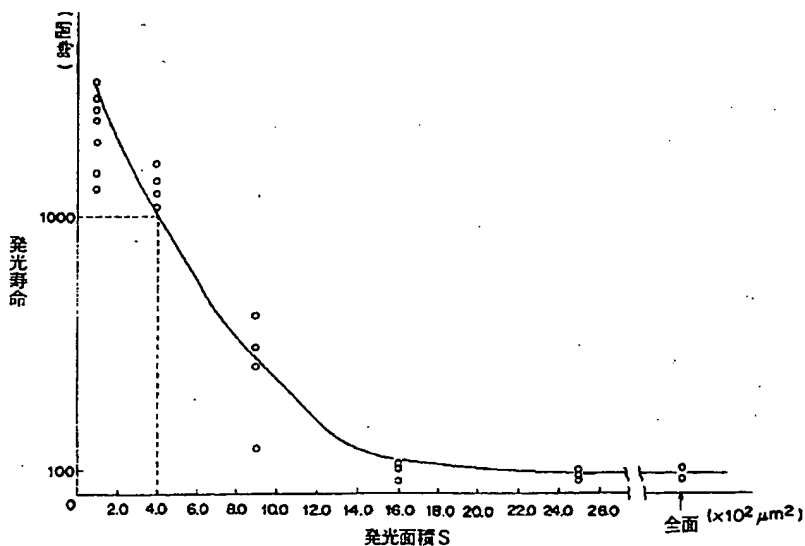
【図3】



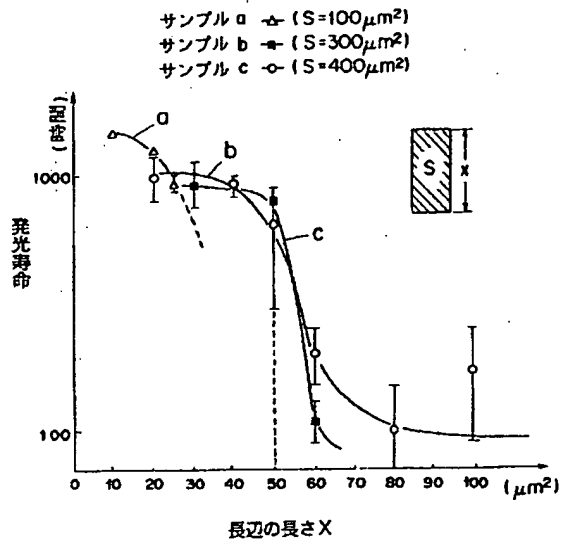
【図4】



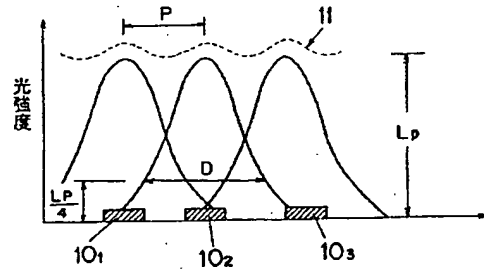
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 鈴木 威

東京都千代田区丸の内1-1-2 日本鋼管株式会社内

(72)発明者 梅野 正義

愛知県名古屋市名東区西里町2-43-2